

?s pn=jp 2260460
S3 1 PN=JP 2260460
?t s3/5

3/5/1
DIALOG(R) File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

03284960 **Image available**
THIN-FILM TRANSISTOR

PUB. NO.: 02-2260460 [*JP 2260460* A]
PUBLISHED: October 23, 1990 (19901023)
INVENTOR(s): MORI HISATOSHI
YAMAMURA NOBUYUKI
APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 01-078389 [JP 8978389]
FILED: March 31, 1989 (19890331)
INTL CLASS: [5] H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal
Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 1020, Vol. 15, No. 4, Pg. 3, January
08, 1991 (19910108)

ABSTRACT

PURPOSE: To prevent the formation of capacitance between a gate electrode and a source electrode and between the gate electrode and a drain electrode by a method wherein an n-type semiconductor layer is formed so as to be faced with the gate electrode at the upper part and the lower part and the source electrode and the drain electrode are formed in positions which are not overlapped with the gate electrode at the upper part and the lower part.

CONSTITUTION: An n-type semiconductor layer 15 which has been laminated on an i-type semiconductor layer 14 and which is composed of n⁺-a-Si is formed so as to be faced with a gate electrode 12 at the upper part and the lower part and is separated at a channel part. A source electrode and a drain electrode 16, 17 which have been formed on the n-type semiconductor layer 15 and which are composed of a metal such as Cr or the like are formed in positions which are not overlapped with the gate electrode 12 at the upper part and the lower part. These electrodes are connected to an i-item semiconductor layer 14 via the n-type semiconductor layer 15. Thereby, it is possible to prevent the formation of capacitance between the gate electrode 12 and the source electrode 16 and between the gate electrode 12 and the region electrode 17.

⑪公開特許公報(A) 平2-260460

⑫Int.Cl.¹
H 01 L 29/784

識別記号

府内整理番号

⑬公開 平成2年(1990)10月23日

8624-5F H 01 L 29/78

311 X

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 薄膜トランジスタ

⑮特 願 平1-78389

⑯出 願 平1(1989)3月31日

⑰発明者 森 久 敏 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑱発明者 山 村 信 幸 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑲出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明細書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

ゲート電極と、ゲート絶縁膜と、 I型半導体層 と、 n型半導体層 と、ソースおよびドレイン電極とを備えた薄膜トランジスタにおいて、前記 n型半導体層 は前記ゲート電極と上下に対向させて形成し、前記ソースおよびドレイン電極は前記ゲート電極と上下に重ならない位置に形成したことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜トランジスタに関するものである。

〔従来の技術〕

薄膜トランジスタ(TFT)としては、逆スター型、スタガー型、逆コブラナー型、コブラナーモードのものがある。

第8図は従来の薄膜トランジスタを示したもので、ここでは逆スター型のものを示している。

第8図において、1はガラス等からなる基板であり、この基板1上にはCr等の金属からなるゲート電極2が形成されている。また、3は上記ゲート電極2の上に基板1のほぼ全面にわたって形成されたSiN等からなるゲート絶縁膜、4はこのゲート絶縁膜3の上に形成された I-Si からなる I型半導体層 であり、この I型半導体層 4はゲート絶縁膜3を介してゲート電極2と対向している。また、5は上記 I型半導体層 4の上に積層された n+-n-Si からなる n型半導体層 であり、この n型半導体層 5はゲート電極2と上下に対向させて形成され、チャンネル部において分離されている。6および7は上記 n型半導体層 5の上に形成されたCr等の金属からなるソース電極およびドレイン電極であり、このソース、ドレイン電極6、7は上記 n型半導体層 5と同じパターンに形成されて、この n型半導体層 5を介して I型半導体層 4に接続されている。なお、この薄膜トランジスタは、例えばTFTアクティブマトリックス型液晶表示素子の画素電極選択用スイッ

チング素子等として使用されており、TFTアクティブマトリックス型液晶表示素子の場合は、上記薄膜トランジスタのゲート電極2はゲートライン（走査ライン）に、ドレイン電極7はデータラインに、ソース電極6は画素電極に接続されている。

〔発明が解決しようとする課題〕

しかしながら、上記従来の薄膜トランジスタでは、そのソース電極6とドレイン電極7とがそれぞれ、n型半導体層5およびp型半導体層4とゲート絶縁膜3とを介してゲート電極2と上下に対向しているために、ゲート電極2とソース電極6との間およびゲート電極2とドレイン電極7との間に大きな容量C_{os}、C_{od}が発生するという問題をもっていた。

このため、上記従来の薄膜トランジスタを例えればTFTアクティブマトリックス型液晶表示素子の画素電極選択用スイッチング素子として使用すると、ゲート電圧の印加による薄膜トランジスタのオンによってデータラインから画素電極に印加

された電圧が、薄膜トランジスタをオフさせた瞬間にゲート・ソース間容量(C_{os})と液晶容量(C_{Lc})との比に応じて配分され、そのためには画素電極電圧がデータ電圧よりも降下してしまうから、次に画素電極が選択されるまでの1フレーム期間中における表示特性が悪くなってしまう。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、ゲート電極とソース電極との間およびゲート電極とドレイン電極との間にほとんど容量をもたない薄膜トランジスタを提供することにある。

〔課題を解決するための手段〕

本発明の薄膜トランジスタは、上記目的を達成するために、ゲート電極と、ゲート絶縁膜と、p型半導体層と、n型半導体層と、ソースおよびドレイン電極とを備えた薄膜トランジスタにおいて、前記p型半導体層は前記ゲート電極と上下に対向させて形成し、前記ソースおよびドレイン電極は前記ゲート電極と上下に重ならない位置に形成したものである。

〔作用〕

すなわち、本発明の薄膜トランジスタは、ソースおよびドレイン電極をゲート電極と上下に重ならない位置に形成することによって、ゲート電極とソース電極との間およびゲート電極とドレイン電極との間に容量を発生させないようにするとともに、ゲート電極とソースおよびドレイン電極とを接続するp型半導体層は前記ゲート電極と上下に対向させて形成して、ソースおよびドレイン電極を上記p型半導体層を介してn型半導体層に接続することにより、このn型半導体層にソースおよびドレイン電極としての作用をもたせてトランジスタ特性を確保したものである。

〔実施例〕

以下、本発明の一実施例を図面を参照して説明する。

第1図は本実施例の薄膜トランジスタの断面を示したもので、図中11はガラス等からなる基板であり、この基板11上にはCr等の金属からなるゲート電極12が形成されている。また、13

は上記ゲート電極2の上に基板1のほぼ全面にわたって形成されたSiN等からなるゲート絶縁膜、14はこのゲート絶縁膜13の上に形成されたn-a-Siからなるp型半導体層であり、このp型半導体層14はゲート絶縁膜13を介してゲート電極12と対向している。また、15は上記p型半導体層14の上に積層されたn+-a-Siからなるn型半導体層であり、このn型半導体層15はゲート電極12と上下に対向させて形成され、チャンネル部において分離されている。16および17は上記n型半導体層15の上に形成されたCr等の金属からなるソース電極およびドレイン電極であり、このソース、ドレイン電極16、17は、前記ゲート電極12と上下に重ならない位置に形成されて、上記n型半導体層15を介してp型半導体層14に接続されている。なお、この実施例では、上記n型半導体層15の分離部分（チャンネル部）の長さL₁を5μm、ソース、ドレイン電極16、17とゲート電極12との水平方向の間隔L₂を5μm、n型半導体層15

のソース、ドレイン電極16、17からの突出長を9μとしている。

第2図および第3図は上記薄膜トランジスタの静特性を示しており、第2図は V_D （ドレイン電圧）-10Vにおける V_g （ゲート電圧）-10V（ドレイン電流）特性を示し、第3図は V_D -15Vにおける V_g -10V特性を示している。

しかして、上記薄膜トランジスタにおいては、ソースおよびドレイン電極16、17をゲート電極12と上下に重ならない位置に形成しているから、ゲート電極12とソース電極16との間およびゲート電極12とドレイン電極17との間の高周波領域における容量をほとんどなくすことができる。

第6図は第4図および第5図に示した2種類の試験用素子についてその周波数特性を調べた結果を示しており、横軸は周波数（KHz）、縦軸は、周波数を変化させて求めた最大容量（C_{max}）に対する各周波数での測定容量（C）の割合（C/C_{max}）を示している。上記試験用素子は、ガラ

ス基板11a上に下部金属膜12aを形成し、その上にS1Nからなる絶縁膜13aと、I-a-S1からなる1型半導体層14aとを積層するとともに、この1型半導体層14aの上にn⁺-a-S1からなるn型半導体層15aを前記下部金属膜12aと同一パターンに形成し、このn型半導体層15aの上に、上部金属膜18を形成したもので、第4図の試験用素子は、上部金属膜18を下部金属膜12aとほぼ同じ面積（3.6 × 10⁻³ cm²）に形成したものとされ、第5図の試験用素子は、上部金属膜18を下部金属膜12aの1/3の面積に形成したものとされている。なお、第4図および第5図において、19は上部金属膜18から絶縁膜13aまでの積層膜の一部に形成された、下部金属膜12aに電圧を印加するための開口である。

この2種類の試験用素子について、下部金属膜12aに35Vの試験電圧を印加してその周波数特性を調べたところ、第4図の試験用素子のように上部金属膜18を下部金属膜12aとほぼ同じ面

積にしたものとの周波数特性は第6図に破線で示すような特性であり、この第4図の試験用素子は、最大で65 pF程度の容量をもっている。これに対して、第5図の試験用素子のように上部金属膜18を下部金属膜12aの1/3の面積にしたものの周波数特性は第6図に実線で示すような特性であり、この第5図の試験用素子は、低周波領域（1.0 KHz）では最大で63 pFと第4図の試験用素子と同程度の容量をもつが、高周波領域（1.0 MHz）では19 pF（C/C_{max}=0.3）しか容量をもたない。なお、第5図の試験用素子が低周波領域で第4図の試験用素子と同程度の容量をもつのは、1型半導体層14aの上に下部金属膜12aと同一パターンに形成されているn型半導体層15aが低周波領域では電極として働くためであり、n型半導体層15aだけの単一層の領域は、低周波領域では容量をもたない。

すなわち、ゲート電極12とソース電極16との間およびゲート電極12とドレイン電極17との間の容量は、ゲート電極12に対するソースお

よびドレイン電極16、17の重なり部分の面積によって変わるのであり、上記実施例の薄膜トランジスタのように、ソースおよびドレイン電極16、17をゲート電極12と上下に重ならない位置に形成すれば、ゲート電極12とソース電極16との間およびゲート電極12とドレイン電極17との間の高周波領域での容量は、第6図に実線で示した特性よりもさらに小さくなる。

しかも、上記実施例の薄膜トランジスタでは、ゲート電極12とソースおよびドレイン電極16、17とを接続するn型半導体層15を前記ゲート電極12と上下に対向させて形成して、ソースおよびドレイン電極16、17を上記n型半導体層15を介して1型半導体層14に接続しているから、前述したようにn型半導体層15にソースおよびドレイン電極としての作用をもたせてトランジスタ特性を確保することができる。

すなわち、単にゲート電極12とソース電極16との間およびゲート電極12とドレイン電極17との間の容量をなくすのであれば、第7図に

示す薄膜トランジスタのように、ソースおよびドレイン電極16、17とn型半導体層15とをゲート電極12と上下に重ならない位置に形成すればよいが、これでは、ゲート電極12にゲート電圧を印加しても薄膜トランジスタは動作せず、オン電流(I_{ON})が全く流れなくなってしまう。そこで、上記実施例の薄膜トランジスタでは、ゲート電極12とソースおよびドレイン電極16、17とを接続するn型半導体層15はゲート電極12と上下に対向させて形成し、ソースおよびドレイン電極16、17だけをゲート電極12と上下に重ならない位置に形成したのであり、このようにすれば、第2図および第3図に示したように、 $V_g = 10V$ 、 $V_d = 15V$ で I_d が $1.5 \mu A$ 程度流れるから、トランジスタ特性を確保することができる。

そして、例えばTFTアクティブマトリックス型液晶表示素子の画素電極選択用スイッチング素子として使用される薄膜トランジスタの場合、 I_{ON} の必要なゲートON時間は約 $60 \mu sec$ で周波

数に換算すると $17KHz$ であり、また、ゲート・ソース間容量(C_{GS})の悪影響がでるゲートパルスの立ち下がり時間は約 $60 \mu sec$ で周波数に換算すると $20MHz$ である。そして、上記実施例の薄膜トランジスタのように、ソース、ドレインのゲート電極12と対向する部分をn型半導体層15だけの単一層とすれば、ゲートON時間($17KHz$)ではn型半導体層15がソース、ドレイン電極として働いてオン電流(I_{ON})が流れ、またゲート立ち下がり時間($20MHz$)ではゲート・ソース間容量(C_{GS})をもたないから、薄膜トランジスタをオフさせた瞬間に画素電極電圧がゲート・ソース間容量(C_{GS})と液晶容量(C_{LC})との比に応じて分配されることはなく、したがって、次に画素電極が選択されるまでの1フレーム期間中における表示状態を維持することができる。

なお、上記実施例では、逆スタガー型の薄膜トランジスタについて説明したが、本発明は、スタガー型、逆コプラナー型、コプラナー型の薄膜トランジスタにも適用することができるし、また、

TFTアクティブマトリックス型液晶表示素子の画素電極選択用スイッチング素子として使用される薄膜トランジスタに限らず、その他の用途に使用される薄膜トランジスタにも適用することができる。

【発明の効果】

本発明の薄膜トランジスタは、ゲート電極と、ゲート絶縁膜と、1型半導体層と、n型半導体層と、ソースおよびドレイン電極とを備えた薄膜トランジスタにおいて、前記n型半導体層は前記ゲート電極と上下に対向させて形成し、前記ソースおよびドレイン電極は前記ゲート電極と上下に重ならない位置に形成したものであるから、ゲート電極とソース電極との間およびゲート電極とドレイン電極との間の容量をほとんどなくすことができるし、またトランジスタ特性も確保することができる。

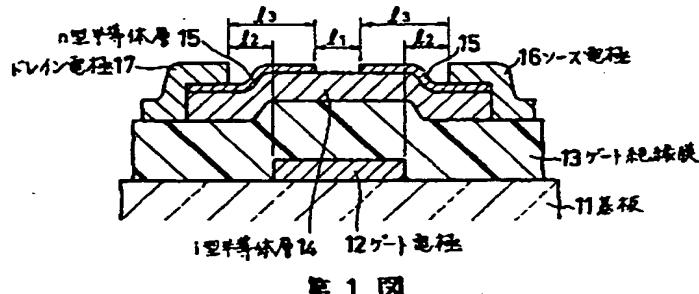
4. 図面の簡単な説明

第1図は本発明の一実施例を示す薄膜トランジスタの断面図、第2図および第3図は同じく薄膜

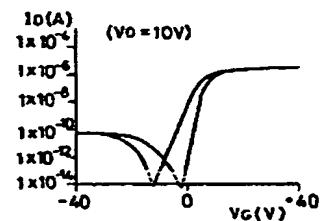
トランジスタの $V_g - I_d$ 特性図および $V_d - I_d$ 特性図、第4図および第5図は薄膜トランジスタの周波数特性を調べるための試験用素子の断面図、第6図は第4図および第5図の試験用素子の周波数特性図、第7図はソースおよびドレイン電極とn型半導体層とをゲート電極と上下に重ならない位置に形成した薄膜トランジスタの断面図、第8図は従来の薄膜トランジスタの断面図である。

11…基板、12…ゲート電極、13…ゲート絶縁膜、14…1型半導体層、15…n型半導体層、16…ソース電極、17…ドレイン電極。

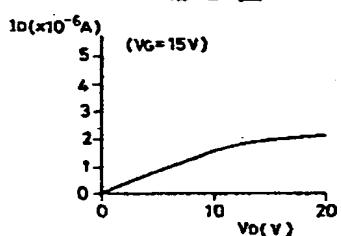
出願人 カシオ計算機株式会社



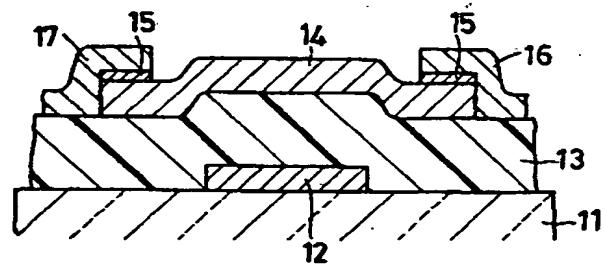
第1図



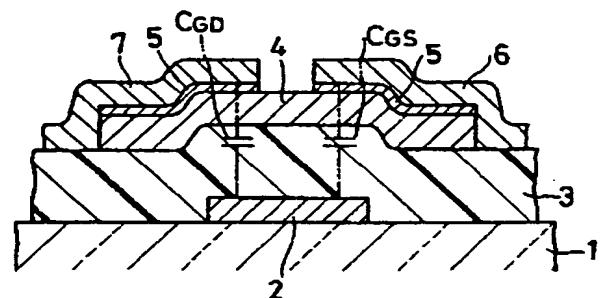
第2図



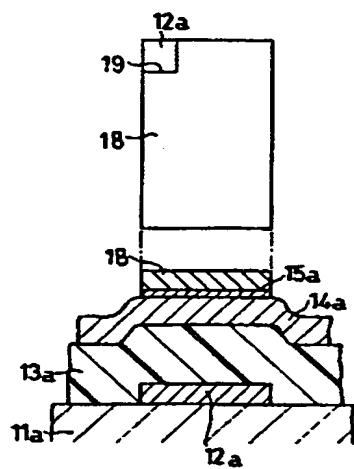
第3図



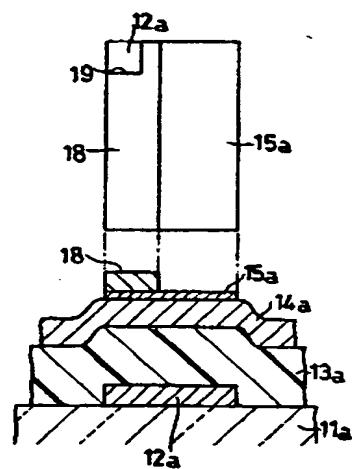
第7図



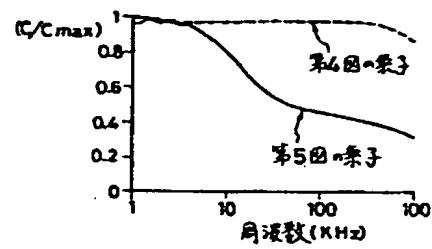
第8図



第4図



第5図



第6図